

DETECTION CIRCUIT DEVICE

DOCUMENT 2

Patent number: JP9130440
Publication date: 1997-05-16
Inventor: ONISHI MAKOTO; KOBAYASHI TAKEHIKO
Applicant: HITACHI DENSHI LTD
Classification:
- international: H04L27/22; H04L27/227
- european:
Application number: JP19950283604 19951031
Priority number(s):

Abstract of JP9130440

PROBLEM TO BE SOLVED: To stably enable a reception even when a noise characteristic is excellent and the level of a reception signal is low, in a digital radio transmitter/ receiver.

SOLUTION: This device is provided with a costas loop 30 generating the reference carrier wave signal necessary for the operation in a synchronizing detection system, a delay element 4 generating the reference carrier wave signal necessary for the operation in a delay detection system, a changeover switch 11 switching the reference carrier wave signals due to these parts and a switching control circuit 15 controlling this changeover switch 11. When the level of a reception signal is large, the output of the costas loop 30 is selected and the operation in the synchronizing detection system is made to be performed. When the reception level is small, the output of the delay element 40 is selected and the operation is made to be performed in the delay detection system. Thus, even when a signal to noise characteristic is excellent and the reception level is lowered by the extension of a simple switching circuit, a detection circuit device which is capable of performing a reception and has high performance and high reliability can be easily obtained.

Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-130440

(43) 公開日 平成9年(1997)5月16日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 27/22			H 0 4 L 27/22	Z
27/227				J

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平7-283604

(22) 出願日 平成7年(1995)10月31日

(71) 出願人 000005429
日立電子株式会社
東京都千代田区神田和泉町1番地

(72) 発明者 大西 誠
東京都小平市御幸町32番地 日立電子株式
会社小金井工場内

(72) 発明者 小林 岳彦
東京都小平市御幸町32番地 日立電子株式
会社小金井工場内

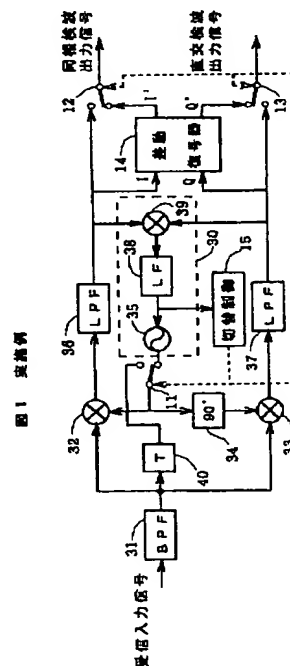
(74) 代理人 弁理士 武 顕次郎

(54) 【発明の名称】 検波回路装置

(57) 【要約】

【課題】 デジタル無線送受信装置において、雑音特性が優れ、かつ受信信号レベルが低い場合でも安定に受信が可能な検波回路装置を提供すること。

【解決手段】 同期検波方式での動作に必要な基準搬送波信号を発生するコスタスループ30と、遅延検波方式での動作に必要な基準搬送波信号を発生する遅延素子40と、これらによる基準搬送波信号を切り替える切替スイッチ11と、この切替スイッチ11を制御する切替制御回路15を設け、受信信号レベルが大きい場合にはコスタスループ30の出力を選択して同期検波方式で動作させ、受信レベルが小さいときには、遅延素子40の出力を選択して、遅延検波方式で動作するようにしたものである。簡単な切替回路の増設により、信号対雑音特性が優れ、かつ受信レベルが低下した場合でも、受信が可能な高性能、高信頼の検波回路装置を容易に得ることができる。



【特許請求の範囲】

【請求項1】 デジタル信号伝送システムにおける信号復調用の検波回路装置において、
遅延検波方式で動作するのに必要な基準搬送波信号を生成する第1の基準搬送波信号生成手段と、
同期検波方式で動作するのに必要な基準搬送波信号を生成する第2の基準搬送波信号生成手段と、
上記第1の基準搬送波信号生成手段による基準搬送波信号と、上記第2の基準搬送波信号生成手段による基準搬送波信号を切替えて出力するスイッチ手段と、
受信された信号の強度に応じて上記スイッチ手段を制御する切替制御手段とを設け、
受信された信号の強度レベルが所定のレベルに達しない間は上記第1の基準搬送波信号生成手段による基準搬送波信号に切替え、遅延検波方式により動作し、所定のレベル以上になったとき、上記第1の基準搬送波信号生成手段による基準搬送波信号に切替え、同期検波方式により動作するように構成したことを特徴とする検波回路装置。

【請求項2】 請求項1の発明において、
上記切替制御手段による受信信号の強度レベルの判定が、第2の基準搬送波信号生成手段に設けられている搬送波再生回路の同期確定状態により行なわれるように構成したことを特徴とする検波回路装置。

【請求項3】 請求項1の発明において、
検波された信号を入力とする差動復号器を設け、
同期検波方式で動作しているときは、この差動復号器を介して出力を取り出すように構成したことを特徴とする検波回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル変調波信号の検波回路に係り、特に無線伝送方式によるデジタル変調波信号の復調に好適な検波回路装置に関する。

【0002】

【従来の技術】デジタル無線伝送では、デジタルデータ信号によって搬送波の振幅や周波数、或いは位相を変調して伝送する。この場合、デジタル的な離散値によって搬送波が変調されるので、それぞれASK(振幅シフトキーイング)変調、FSK(周波数シフトキーイング)変調、PSK(位相シフトキーイング)変調と呼ばれる。また、ASKとPSKを組み合わせたQAM(直交変調)という方式もある。

【0003】一方、これらのデジタル変調波信号を受信して復調するには、搬送波信号から変調信号成分を取り出し(検波)、変調信号から元のデジタルデータを復元する操作が必要である。そして、この復調処理の中で、搬送波信号から変調信号を抽出する検波方式としては、従来から、受信搬送波信号位相に同期した基準位相情報を抽出して、これを検波に用いる同期検波方式と、

受信信号の位相情報を積極的に用いない非同期検波方式とが知られている。ここで、後者の非同期検波方式としては、遅延検波方式が広く採用されている。

【0004】そこで、まず、同期検波方式について、図3により説明すると、図示の例は、QPSK(4相位相)変調方式の変調波信号を復調する検波回路の一例で、コスタスループと呼ばれている搬送波再生回路を用いたものである。この図3において、30はコスタスループ、31は帯域通過フィルタ、32、33は周波数混合器、34は90°移相器、35は電圧制御発振器、36、37は低域通過フィルタ、38はループフィルタ、39は信号乗算器である。

【0005】受信入力信号は、帯域通過フィルタ31を通してから、周波数混合器32、33によって、コスタスループ30から直接供給される同相基準搬送波信号、或いは90°移相器34を介して供給される直交基準搬送波信号と、それぞれ掛け合わされる。そして、これら周波数混合器32、33の出力は、それぞれ低域通過フィルタ36、37に入力され、ここで高周波成分を除去することにより検波出力信号I、直交検波出力信号Qとして取出される。

【0006】コスタスループ30は、信号乗算器39、ループフィルタ38、電圧制御発振器35で構成され、同相検波出力信号Iと直交検波出力信号Qの両方の信号から搬送波信号の位相差を検出し、ループフィルタ38を介して電圧制御発振器35を駆動し、これにより、上記した同期検波に必要な基準搬送波信号を生成する働きをする。

【0007】このように、同期検波方式では搬送波の同期回路が必要で、回路が若干複雑化するが、検波出力の雑音特性は他の方式より優れているという利点を有する。

【0008】次に、遅延検波方式について、図4により説明すると、この例は、差動符号化QPSK方式による遅延検波回路を示したものである。

【0009】この図4において、40は遅延素子であり、その他、帯域通過フィルタ31、周波数混合器32、33、90°移相器34、低域通過フィルタ36、37は、何れも図3の例と同じもので、機能も同じである。

【0010】図3から明らかなように、この遅延検波方式では、基準搬送波信号を生成するコスタスループの代りに遅延素子40を用い、この遅延素子40により受信信号を1送信データクロック分遅延させ、この遅延させた信号を基準搬送波信号として周波数混合器32、33に入力し、これにより検波出力信号Iと直交検波出力信号Qを得るようにしたものである。

【0011】従って、この遅延検波方式は、同期検波方式におけるコスタスループを遅延素子に置き換えたものに相当し、回路が簡略化される利点がある。

【0012】

【発明が解決しようとする課題】上記従来技術では、同期検波方式と遅延検波方式について、それぞれの利害得失についての配慮がされておらず、単に一方の方式を採用していたため、以下の問題があった。

【0013】すなわち、まず、同期検波方式では、 S/N (信号対雑音比)特性は優れているものの、搬送波同期を取るための回路が必要であり、なおかつ、再生搬送波の位相変動が小さくしなければならない。しかしながら、この搬送波同期に用いられるコスタスループなどの位相同期ループ(PLL)回路は、受信信号の S/N が悪いときには同期外れを起こし、同期検波が不可能となってしまうという問題を有しているのである。

【0014】一方、遅延検波方式では、上述したように同期回路を必要としないので、回路が簡単になる利点があるが、受信信号同志の掛け合わせとなるため、雑音特性については、同期検波方式より悪くなってしまうという問題を有しているのである。

【0015】本発明の目的は、これらの検波方式の欠点を補い、受信信号の S/N が悪くて同期外れが生じて検波が可能で、かつ S/N の良いときには、それに応じて十分な雑音性能が得られる検波方式を提供することにある。

【0016】

【課題を解決するための手段】上記目的は、同期検波方式と遅延検波方式の何れの方式でも動作するようにしておき、受信信号のレベルに応じてこれらの方式を切り替え、搬送波同期が確立している場合には、同期検波方式による動作を選択し、同期外れを起こしている場合には、遅延検波方式による動作が選択されるようにして達成される。

【0017】これにより、本発明によれば、雑音特性が優れ、誤り率の小さい検波回路が容易に実現できる。このとき、上記した検波方式を切り替える信号としては、同期検波方式での動作に用いられる搬送波再生回路から得られる同期確定信号を用いるようにしても良い。

【0018】さらに、本発明による検波方式では、遅延検波回路を持っているため、差動復調された復調出力が得られるが、他方、同期検波回路出力は差動復調されないため、同期検波回路の後に差動復調器を設け、符号形式を遅延検波回路出力と合わせるようにしても良い。

【0019】一方、本発明は、 $\pi/4$ シフトQPSK変調方式のように、復調器において差動復調器が必要な場合に対しては、そのまま適用することができる。また、本発明は、通常のQPSKのように、差動化を必要としない変調方式に対しては、変調器に差動符号器を設けることにより、適用することができる。

【0020】

【発明の実施の形態】以下、本発明による検波回路方式について、図示の実施例により説明する。図1は、本発

明を差動符号化QPSK変調方式に適用した場合の一実施例で、図において、11、12、13は切替スイッチ、14は差動復調器、15は切替制御回路であり、その他の構成要素、すなわち、コスタスループ30、帯域通過フィルタ31、周波数混合器32、33、 90° 移相器34、電圧制御発振器35、低域通過フィルタ36、37、ループフィルタ38、信号乗算器39、それに遅延素子40は、図3及び図4で説明した回路と同一で、機能も全く同じである。

【0021】切替スイッチ11~13は、図示のように、連動したそれぞれ1回路2接点のスイッチで構成され、切替制御回路15の出力により切替制御されるようになっている。そして、これら3個の切替スイッチ11~13のうち、まず切替スイッチ11は、コスタスループ30の出力と遅延素子40の出力の何れかを基準搬送波信号として選択し、周波数混合器32、33に供給する働きをする。従って、この切替スイッチ11が図示の通りに切り替えられているときは、回路により検波動作は同期検波方式に選択され、図示と反対に切り替えられたときには、遅延検波方式に選択されることになる。

【0022】次に切替スイッチ12、13は、回路の検波動作が同期検波方式に切り替えられているときの出力信号が、遅延検波方式による出力信号の形式と同じになるようにするためのもので、このため、低域通過フィルタ36、37の出力と、差動復調器14の出力を切り替えて出力端子に取り出す働きをする。

【0023】従って、これらの切替スイッチ12、13により、同期検波のときは差動復調器14の出力が、また遅延検波のときは低域通過フィルタ36、37の出力が各々選択され、同相検波出力信号と、直交検波出力信号として出力されることになる。

【0024】差動復調器14は、差動符号化QPSK方式用の差動復調器として構成されたもので、低域通過フィルタ36、37の同期検波出力を差動復調化して出力する働きをし、これにより、同期検波出力を遅延検波出力と同じ符号形式にすることができるようになるもので、例えば図2に示すように構成されている。

【0025】すなわち、図2において、21、22は排他論理ゲート、23、24は遅延用フリップフロップ、25、26は反転ゲート、27、28は全加算器であり、これらにより差動復調器14が構成されており、以下の通り動作する。

【0026】低域通過フィルタ36の出力に得られる同相符号Iと、低域通過フィルタ37の出力に得られる直交符号Qの2ビットの信号を排他論理ゲート21に入力し、グレイ符号を自然2進符号に変換する。これを遅延フリップフロップ23、24に入力し、遅延した2ビットを生成する。

【0027】現時点の符号から1データクロック前の符号を引き算(2を法とする引き算)すれば差動復調が行え

るので、この引き算を行うため、遅延した符号を反転ゲート25、26で極性反転して全加算器25、26に入力し、LSB側の全加算器28のC。入力に論理“1”の信号を入力する。そして、これら全加算器25、26の出力を排他論理ゲート22に入力し、自然2進符号をグレイ符号に戻してやれば、差動復号出力が得られることになる。

【0028】切替制御回路15は、受信された信号の強度に応じて切替スイッチ11～13を制御する働きをするもので、これらの切替スイッチ11～13を、受信信号のレベルが所定のレベル以上になったときだけ図示の通りに切替えるが、受信された信号の強度が所定のレベルに達しない間は、図示とは反対の接点に切替えておくように制御する。

【0029】そして、この実施例では、切替制御回路15は、コスタスループ30のループフィルタ38の出力信号の時間変化を検出することにより、切替スイッチ11～13の切替信号を生成するように構成されており、ループフィルタ出力信号の時間変化が、予め設定してある判定値より大きいときには、同期が確定せず同期外れであるとして切替スイッチ11～13を図示とは反対の接点に切替え、遅延検波方式を選択し、時間変化が上記判定値より小さくなって同期したと見做せるときは、同期確立が得られたものとして切替スイッチ11～13を図示の通りに切替え、同期検波方式を選択するようになっている。

【0030】次に、この実施例の動作について説明する。いま、図示していない無線受信機からは、何も受信入力信号が供給されていないとすると、このときには、低域通過フィルタ36、37の出力には何も信号が得られないから、コスタスループ30のループフィルタ38の出力は安定せず、従って、ループフィルタ出力信号の時間変化は当然設定値より大きくなって同期確定信号は得られず、この結果、同期外れとなって、切替スイッチ11～13は、制御切替回路15により、図示とは反対の接点に切替えられている。

【0031】次に、この状態で、無線受信機に所定の周波数の電波が入感し、この結果、或るレベルの受信入力信号が入力されたとすると、この信号が遅延素子40により1送信データクロック分遅延された信号が基準搬送波信号として周波数混合器32、33に入力されるようになり、これにより遅延検波方式による動作の結果、低域通過フィルタ36、37の出力に検波出力が現われ始め、図示とは反対の接点側に閉じている切替スイッチ12、13により、これら低域通過フィルタ36、37の出力が、そのまま検波出力信号Iと直交検波出力信号Qとして出力されるようになる。

【0032】一方、この結果、コスタスループ30にも、これらの検波出力信号が入力されるので、ループフィルタ38の出力にも同期がかかるようになり、安定し

た信号が現われ始めるが、このときの信号の時間変化の大きさは、低域通過フィルタ36、37の出力に現われている検波信号のレベル、つまり受信入力信号のレベルに依存し、このレベルが或るレベル以上になったとき、ループフィルタ38の出力信号の時間変化が、切替制御回路15に設定してある上記判定値以下に収まるようになっていく。

【0033】そこで、受信入力信号が入力され始めた後、そのレベルが増加し、所定レベルになると、ループフィルタ38の出力が安定し、切替制御回路15が動作して切替スイッチ11～13を図示の通りに切り替える。この結果、切替スイッチ11により、周波数混合器32、33に対する基準搬送波信号は、それ迄の遅延素子40の出力信号から、今度はコスタスループ30の出力信号に切り替えられ、これにより、周波数混合器32、33による検波動作は、遅延検波方式から同期検波方式に切り替えられることになる。

【0034】また、同じくこの結果、切替スイッチ12、13により、それ迄の低域通過フィルタ36、37の出力に代えて、今度は作動復号器14の出力I'、Q'が選択され、各々同相検波信号と直交検波出力信号として出力されるようになる。

【0035】従って、この実施例によれば、同期検波方式による検波動作と、遅延検波方式による検波動作の2種の動作モードが受信入力信号のレベルに応じて自動的に切り替えられ、受信入力信号のレベルが低い間は遅延検波方式で動作し、レベルが或る程度に達したとき、始めて同期検波方式での動作に移行する動作が得られることになるので、受信信号のS/Nが悪くて同期外れが生じて検波出力が得られると共に、S/Nの良いときには、それに応じて充分な雑音性能が得られることになり、入力信号のダイナミックレンジが広く、出力かも雑音特性に優れ、誤り率の小さい検波回路を容易に得ることができする。

【0036】なお、上記実施例では、切替制御回路15が、コスタスループ30のループフィルタ38の出力信号の時間変化を検出することにより、切替スイッチ11～13の切替信号を生成するように構成されているが、これに代え、直接受信入力信号のレベルに応じて切替スイッチ11～13の切替を制御するように構成しても良い。

【0037】ところで、上記実施例は、QPSK変調方式を対象としているので、送信側の変調方式も差動符号方式とし、送信信号を差動符号化QPSKとしておく必要があるのは当然であるが、このときの差動符号化のためには、図2で説明した差動復号器と類似の回路を用いればよく、従って、当業者なら容易に実現することができる。

【0038】しかして、送信側での変調方式が $\pi/4$ シフトQPSKの場合には、方式的に差動符号化が行われ

るので、変調器に差動復号器を設ける必要はない。

【0039】さらに、上記実施例によれば、極小規模の回路を付加するだけで、雑音特性が優れ、受信信号レベルが小さいときでも検波出力が得られる検波方式を提供することができる。

【0040】また、上記実施例では、QPSK変調方式に本発明を適用した場合を例に説明を行ったが、本発明は、QAM方式や多値PSK方式など、他の変調方式の送受信装置における検波方式にも適用可能であることは言うまでもない。

【0041】

【発明の効果】本発明によれば、デジタル無線による伝送装置において、受信信号レベルに応じて最適な検波方式を選択し、最良の検波特性を得られる検波方式が実現できる。すなわち、受信信号レベルが大きい場合には、信号対雑音特性の優れた同期検波方式を選択し、受信信号が低くなって同期が外れたときには遅延検波方式を自動選択されるので、高性能、高信頼のデジタル送受信装置の検波方式を提供することができる。

【0042】そして、本発明では、従来の検波回路に極簡単な切替回路を設けるだけで容易に実現できるので、極めて実用的な検波回路を簡単に実現することかできる。

【図面の簡単な説明】

【図1】本発明による検波回路装置の一実施例を示すブ

* ロック構成図である。

【図2】本発明における差動復号器の詳細を示すブロック構成図である。

【図3】同期検波方式による検波回路の従来例を示すブロック構成図である。

【図4】遅延検波方式による検波回路の従来例を示すブロック構成図である。

【符号の説明】

- 11、12、13 切替スイッチ
- 14 差動復号器
- 15 切替制御回路
- 21、22 排他論理ゲート
- 23、24 遅延用フリップフロップ
- 25、26 反転ゲート
- 27、28 全加算器
- 30 コスタスループ
- 31 帯域通過フィルタ
- 32、33 周波数混合器
- 34 90° 移相器
- 35 電圧制御発振器
- 36、37 低域通過フィルタ
- 38 ループフィルタ
- 39 信号乗算器
- 40 遅延素子

【図1】

図1 実施例

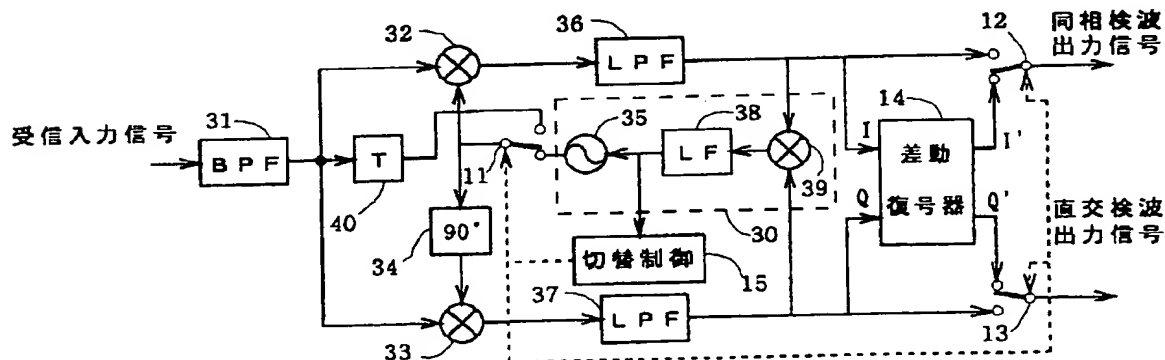


図2 差動復号器の構成



图 4 遲延檢波回路

